

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323628  
(43)Date of publication of application : 24.11.2000

(51)Int.Cl. H01L 23/29  
H01L 23/31  
H01L 21/60  
H01L 23/12

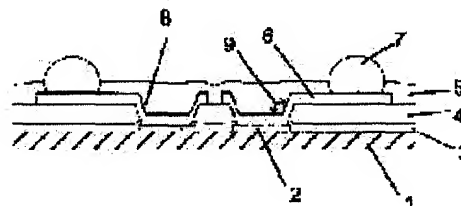
(21)Application number : 11-128062 (71)Applicant : HITACHI LTD  
(22)Date of filing : 10.05.1999 (72)Inventor : YAMAGUCHI YOSHIHIDE  
NARIZUKA YASUNORI  
ITO MITSUKO  
TENMYO HIROYUKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND ELECTRONIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously satisfy stress alleviating and process matching and surely alleviate stress generated by thermal expansion coefficient difference from that of the mounting substrate, by introducing a function separating multilayer film structure including a stress alleviating resin layer having the stress alleviating function and a heat resistance resin layer having heat resistance.

SOLUTION: A semiconductor device is electrically connected with a mounting substrate via a package electrode 7. The package electrode 7 is also electrically connected with an electrode 2 of the semiconductor element via a wiring 6. Under the wiring 6, a first resin layer 4 is provided and a second resin layer 5 is formed on the wiring 6. Between the first resin layer 4 and a semiconductor element 1, a passivation film 3 is provided. As the first resin layer 4, the photosensitive polyimide is used and, as the second resin layer 5, the denaturated epoxy resin is used. As a result, stress generated by expansion coefficient difference in the case where the semiconductor device is mounted on the mounting substrate can be alleviated with deformation of wiring 6, first resin layer 4 and second resin layer 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-323628  
(P2000-323628A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L	23/29	H 0 1 L	23/30
	23/31		21/92
	21/60		23/12
	23/12		6 0 2 L
			L

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願平11-128062

(22) 出願日 平成11年5月10日 (1999. 5. 10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山口 欣秀

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72) 発明者 成塚 康則

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

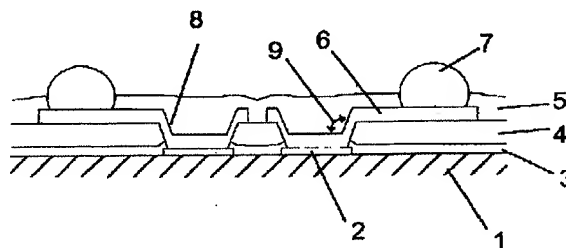
(54) 【発明の名称】 半導体装置とその製造方法、およびこれを用いた電子機器

(57) 【要約】

【課題】 実装基板との熱膨張差によって生じる応力を確実に緩和する低コストな半導体装置およびその製造方法を提供する。

【解決手段】 本発明では、半導体素子表面のバッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層を少なくとも2層以上の複数層で構成して、薄膜配線構造体として要求される諸特性を各々の層で分担させる。薄膜配線構造体に要求される機能は様々であるが、少なくとも応力緩和機能を有する応力緩和樹脂層と耐熱性を有する耐熱性樹脂層とを含む機能分離多層膜構造であるように工夫することにより、応力緩和機能とプロセス整合性とを両立させることができる。

【図1】



## 【特許請求の範囲】

【請求項 1】半導体素子表面のパッシベーション膜上に樹脂層を設け、前記樹脂層内部および／または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層が少なくとも応力緩和機能を有する応力緩和樹脂層と耐熱性を有する耐熱性樹脂層とを含む 2 層以上の複数層で構成されていることを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた樹脂層の内包する応力緩和樹脂層が、その 25℃における弾性係数  $E_r$  (ヤング率; 単位 = GPa) を 25℃における膜厚  $t_r$  (単位 =  $\mu\text{m}$ ) で割り算して得られる  $E_r/t_r$  が 1.0 未満となる樹脂であることを特徴とする半導体装置。

【請求項 3】請求項 1 記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた樹脂層の内包する耐熱性樹脂層が、ガラス転位温度 ( $T_g$ ) あるいは融点 ( $m_p$ ) が 100～400℃の範囲にある樹脂であることを特徴とする半導体装置。

【請求項 4】請求項 1 記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた応力緩和樹脂層と耐熱性樹脂層とを含んだ複数層からなる樹脂層が、さらに 25℃における破断伸びが少なくとも 6% 以上ある樹脂層を含むことを特徴とする半導体装置。

【請求項 5】請求項 1～4 いずれかに記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層が、25℃における総膜厚  $t$  が 6～250  $\mu\text{m}$  の範囲であることを特徴とする半導体装置。

【請求項 6】請求項 1～5 いずれかに記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層が、複数層の膜厚方向平均ヤング率  $E_{ave}$  (単位 = GPa; 25℃) と膜厚方向平均線膨脹係数  $\alpha_{ave}$  (−55～150℃範囲の平均値; 単位 = ppm/℃) との積  $E_{ave} \times \alpha_{ave}$  が 20～400 の範囲であることを特徴とする半導体装置。

【請求項 7】請求項 1～5 いずれかに記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層が、25℃における総膜厚  $t$  (単位 =  $\mu\text{m}$ ) と膜厚方向平均線膨脹係数  $\alpha_{ave}$  (−55～150℃範囲の平均値; 単位 = ppm/℃) との積  $t \times \alpha_{ave}$  が 200～40,000 の範囲であることを特徴とする半導体装置。

【請求項 8】請求項 1～7 いずれかに記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層のなかの少なくとも 1 層が、感光性を有すると共に熱分解性温度 (5% 重量減少温度) が 250℃以上であることを特徴とする半導体装置。

【請求項 9】請求項 1～7 いずれかに記載の半導体装置において、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層のうちパッシベーション膜に接している樹脂層が、フォトリソグラフィ工程によって所望箇所に開口部が形成された感光性ポリイミドであり、前記開口部の底部では半導体素子電極部の端部を完全に覆っていて、前記開口部の底部が半導体素子電極部との間で為す角度が 100～150 度の範囲であることを特徴とする半導体装置。

【請求項 10】請求項 1 記載の構成を有するチップサイズパッケージ。

【請求項 11】請求項 1 記載の半導体装置、あるいは請求項 10 記載のチップサイズパッケージと他の配線基板とを接続したことを特徴とする電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は LSI を基板上に搭載して機能させる電子機器全般に関する配線基板 (回路基板) の構造およびその製造方法に関する。特に、高密度実装に適した半導体素子や接続信頼性を向上させたチップサイズパッケージの構造およびそれらの製造方法に関する。

## 【0002】

【従来の技術】LSI を配線基板に直接接続する方法としては、ワイヤーボンド (WB) やテープオートメーティッドボンド (TAB) などの方式が主流であった。これらの方式では、柔軟性がある塑性変形しやすい Au 細線などを用いて LSI の外部接続端子と配線基板上の接続電極との間を接続するところに特徴がある。このような塑性変形しやすい接続部を持つことによって、接続時および接続後の熱工程における LSI と配線基板との熱膨張差は接続部の変形によって吸収され、高い接続信頼性が確保できる (第 1 の従来技術)。

【0003】しかしながら、上記第 1 の従来技術では、その接続方法そのものに起因して LSI の外部接続端子は LSI の 4 辺に配置する以外にはなく、LSI の接続端子数増大には十分に対応できないという問題がある。

【0004】上記第 1 の従来技術の問題を解決するために、LSI の外部接続端子をエリアアレイ状に配置するとともに、LSI の外部接続端子と配線基板上の接続電極との間をはんだボールで接続する方法が提案されている (第 2 の従来技術)。

【0005】上記第 2 の従来技術では、LSI と配線基板とをエリアアレイ配列の微小なはんだボールのみで直接接続するため、接続端子数が増大しても実装面積を増やさずに済むというメリットがある。

【0006】しかしながら、上記第 2 の従来技術では LSI と配線基板との熱膨張差を微細なはんだボールのみで吸収させる構造であるため、接続部の信頼性は必ずしも高くはない。LSI と配線基板との熱膨張差が大きい

場合には、はんだボールの塑性変形限界以上の変位を受けて接続部が破壊されたり、あるいは塑性変形限界以下のわずかな変位であっても変形を繰り返すことによって疲労破壊が起こったりするからである。

【0007】上記第2の従来技術の欠点を改良して接続部の信頼性を高める技術として、LSIと配線基板との間の空間にアンダーフィルレジンと呼ばれる樹脂を注入・硬化させてLSIと実装基板とを固着（以下LSI基板固着体）する方法がある。この技術によれば、LSIと実装基板とを固着したことによって熱応力をLSI基板固着体全体に分散させてはんだ接合部に生じる歪み量を平均化し、接合部位の破壊を防止することができる（第3の従来技術）。

【0008】しかしながら、上記第3の従来技術ではアンダーフィルをLSIと基板との間の僅かな隙間から充填するため、充填に長時間がかかったり、全体に均一に充填されなかったり、あるいは、ボイドが発生したりするという問題（アンダーフィル充填不良）が発生する（第3の従来技術における第1の課題）。

【0009】また、これまではんだ接合部の塑性変形の形で逃がしていた沿面方向の熱応力がLSI基板固着体に全体に作用する結果として、LSI基板固着体をその膜厚方向にも変形させ、固着体全体が反るという現象が起こる。この変形により、基板内配線が断線しやすくなったり、あるいはLSI内の素子特性が変動するという問題が発生する場合がある（第3の従来技術における第2の課題）。

【0010】さらに、アンダーフィル充填不良（第3の従来技術における第1の課題）を低減させるために、各LSIチップの形状、寸法によってそれぞれに別々の条件で充填作業を行うため、基板上に多数個のLSIを実装する場合には、操作が複雑になるという問題もある（第3の従来技術における第3の課題）。

【0011】上記第3の従来技術の課題を解決するために、特開平10-125705号公報では圧縮成型法によって封止樹脂を充填する技術を提案している（第4の従来技術）。

【0012】この技術では、LSIと実装基板とを金型内に装着して樹脂を圧縮成型するので、アンダーフィル充填不良（第3の従来技術における第1の課題）は発生しない。

【0013】しかしながら、はんだ接合部を包み込むように剛直な樹脂で固定することによって熱応力をLSI基板固着体全体に分散させるという観点では上記第3の従来技術と同じであり、個々のはんだボールかかる熱応いづれかに記載の半導体装置力は低減されるものの、上記第3の従来技術における第2の課題に対してはなんらの解決にもなっていない。

【0014】上記第2及び第3の従来技術の課題を解決する別種の技術として、特開平10-092865号公報ではLSI

SIのパッシベーション膜上に樹脂層－配線層－樹脂層からなる薄膜配線を形成した後に、この薄膜配線に設けた接続電極（パッケージ電極）と実装基板上の接続電極とを接続することを提案している（第5の従来技術）。

【0015】上記第5の従来技術における第1の特徴は、LSIと実装基板との間の接合部がはんだボールと薄膜配線とからなり、該薄膜配線の周囲には樹脂層が配置された構造になっていることにある。このような構造を取ることによって、LSIと配線基板との熱膨張差をはんだボールと薄膜配線とに分散し、樹脂層が応力や衝撃を吸収するので、はんだボール破断（第2の従来技術の課題）を防止できる。さらに、LSIと実装基板とを固着するわけではないのでLSIや実装基板の変形（第3の従来技術における第2の課題）を抑制できる。

【0016】上記第5の従来技術における第2の特徴は、LSIを個片に切断する前にパッシベーション膜上に第1樹脂層－配線層－第2樹脂層からなる薄膜配線を形成することにある。このような製造工程を経ることによって、複数個のLSIチップをウェハ上で一括処理できるうえ、LSIチップを個片に切り離した後に個々のLSIチップにアンダーフィルを充填する（第3の従来技術における第3の課題）必要もない。

【0017】これまでに述べたことから、上記第5の従来技術はそれ以前の第1から第4の従来技術の課題をほぼ解決できることがわかった。

【0018】

【発明が解決しようとする課題】本発明者らはチップと基板との接続信頼性の問題を根本的に解決し、接続信頼性の良い高密度実装対応のチップとチップ製造技術を低コストで提供することを目指して独自に検討したところ、上記第5の従来技術には以下の（1）～（7）に列挙する課題があつてさらに工夫が必要であることがわかった。

【0019】（1）パッシベーション膜上に形成する第1樹脂層に半導体素子電極部を露出させるための開口部を形成する工程がエッチングである。特開平10-092865号公報では、第1樹脂層がポリイミド系樹脂、エポキシ系樹脂、シリコン系樹脂のいずれかであると述べられているが、これらはいずれも熱硬化性樹脂であつて耐薬品性も高いためエッチング除去は容易でない。

【0020】（2）第1樹脂層をエッチング除去できる条件に対しては、一般的に使用されるエッチングレジストは耐性を持たない。従つて、所望の開口部を有する第1樹脂層を形成するには、レジストを第1樹脂層よりかなりの程度厚く形成するか、多層レジスト法を用いるか、特別な材質のエッチングレジストを使用するなど、煩雑で長時間・高コストを要する。

【0021】（3）第1絶縁層をエッチングで形成するため、開口部の断面は上端が広がることは避けられない。開口部上端が広がっていると隣の開口部との間の距

離が狭まり、絶縁不良や短絡を起こしやすくなるうえ、エッチングレジストのフォトリソグラフィ工程での位置精度要求が厳しくなるという問題もある。

【0022】(4) 上記(1)～(3)の問題を抑制するためには第1樹脂層膜厚をごく薄くする必要があるが、第1樹脂層を薄くすると発明の初期目的である薄膜配線層(および樹脂層)の応力緩和機能が期待できない。

【0023】(5) 特開平10-092865号公報では第1樹脂層、第2樹脂層、(およびポリイミド樹脂層)によって応力が緩和すると述べている。しかしながら、LSI(Si)や配線(Cu)の弾性係数は樹脂系材料と比べて凡そ100倍程度大きい。従って、これら樹脂層が存在してもLSIや配線の沿面方向の熱膨張量への影響はわずかであって、本公報で提案されている技術だけでLSIと実装基板との熱膨張差は縮まらない。

【0024】(6) 逆に、薄膜配線層の下部に第1樹脂層を形成したことにより、線膨張係数が配線層よりも数倍大きな第1樹脂層がパッケージ電極を押し上げる膜厚方向の応力が発生して配線層が断線しやすくなるという新たな課題が発生する。

【0025】(7) 上記(1)～(6)で明らかなように、発明の初期目的を達成するためには薄膜配線層に使用する第1樹脂層や第2樹脂層は特定の膜厚、線膨張係数、断面形状でなければならず、プロセスと整合する特定範囲の物性値(耐熱性、加工性)をも有している必要がある。

【0026】本発明の目的は、第5の従来技術の課題を解決して実装基板との熱膨張差によって生じる応力を確実に緩和する低コストな半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】前記目的を達成するために、本願発明では、半導体素子表面のパッシベーション膜上に少なくとも1層以上の樹脂層を設け、前記樹脂層内部および/または前記樹脂層表面に、前記半導体素子電極部に接続された所望形状の導体層を有している半導体装置において、前記樹脂層を少なくとも2層以上の複数層で構成して、薄膜配線構造体として要求される諸特性を各々の層で分担させることを提案する。薄膜配線構造体に要求される機能は様々であるが、少なくとも応力緩和機能を有する応力緩和樹脂層と耐熱性を有する耐熱性樹脂層とを含む機能分離多層膜構造であるように工夫することにより、応力緩和機能とプロセス整合性とを両立させることができる。

【0028】その際、半導体素子表面のパッシベーション膜上に設けられた樹脂層の内包する応力緩和樹脂層が、その25℃における弾性係数 $E_r$ (ヤング率; 単位=GPa)を25℃における膜厚 $t_r$ (単位= $\mu\text{m}$ )で割り算して得られる $E_r/t_r$ が3.0未満となる樹脂で

あることが望ましく、さらに望ましくは $E_r/t_r$ が1.0未満である。 $E_r/t_r$ が3.0を越えて大きくなるのは、少なくとも、ヤング率が大きいのか、膜厚が薄いのか、のいずれかが満たされるときであるが、このいずれの場合であっても、配線層への応力を緩和する能力は期待できない。逆に、 $E_r/t_r$ が1.0未満であるような応力緩和層を形成できる樹脂であれば、本願発明には特段の支障はないが、室温(25℃)におけるヤング率係数 $E_r$ が0.2～15.0GPaの範囲の樹脂であることが望ましい。室温におけるヤング率が0.2GPaを下回る材料を含む場合には、当該半導体装置を部品として含む電子機器を使用するに際し、筐体へのわずかな衝撃によっても当該樹脂部が振動を起こして配線位置が変位して電気特性が安定しにくくなるという問題が発生する。逆にヤング率が15.0GPaを越える樹脂は応力に追従した変位がごくわずかであって応力緩和機能が高いとは言えない。

【0029】また、本発明では、樹脂層全体の膜厚(総膜厚 $t$ )が6～250 $\mu\text{m}$ の範囲であることが望ましい。総膜厚が6 $\mu\text{m}$ より薄くなると配線層の上面が露出して腐蝕が進む可能性がある。逆に膜厚250 $\mu\text{m}$ より厚くなると成膜に時間がかかる上に膜厚の均一性も保てなくなる。

【0030】また、本発明では、上記機能分離多層膜構造の樹脂層の破断伸びが25℃において少なくとも5%以上であることが望ましく、さらに好ましくは8%以上である。破断伸びが5%を下回る場合には、熱応力が前記応力緩和層の変形によって開放される際に破断を起こしたり、あるいは、ハンドリングの際の衝撃で破断する危険性が高くなる。

【0031】一方、パッシベーション膜上に設けられた樹脂層の内包する耐熱性樹脂層は、少なくともはんだ付け時の熱に耐える必要があるため、ガラス転位温度( $T_g$ )あるいは融点( $mp$ )は100℃以上であることが望ましい。 $T_g$ や $mp$ は高ければ高いほどプロセス中の変成が少なくなるが、逆に、加工が困難になったり、あるいは入手が難しくなったりするので $T_g$ 、あるいは、 $mp$ は400℃以下であることが望ましい。また、 $T_g$ が高い樹脂を用いると、応力フリーとなる点( $T_g$ )と室温(約25℃)との温度差が大きくなることにより、逆に熱応力が大きくなったりもするので、 $T_g$ 、あるいは、 $mp$ はできる限り400℃を越えないことが望ましい。

【0032】本発明で半導体素子表面のパッシベーション膜上に設けられた複数樹脂層としては、複数層の膜厚方向平均ヤング率 $E_{ave}$ (単位=GPa; 25℃)と膜厚方向平均線膨張係数 $\alpha_{ave}$ (-55～150℃範囲の平均値; 単位= $\text{ppm}/^\circ\text{C}$ )との積 $E_{ave} \times \alpha_{ave}$ が20～400の範囲であることが望ましく、さらに望ましい範囲は30～250である。ヤング率と線膨張係数との

積が400を越えて大きくなる場合、例えば、ヤング率 $=4\text{ GPa}$ で線膨脹係数 $=150\text{ ppm}/^\circ\text{C}$ の樹脂を用いると、樹脂自身の沿面方向の伸びが大きくなって薄膜配線を横から押す形になるので断線の危険性が高くなる。一方、ヤング率と線膨脹係数との積が20を下回る樹脂は入手が困難なので、このような物性値の材料はコストアップの原因となる。

【0033】本発明では、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層が、 $25^\circ\text{C}$ における総膜厚 $l$  (単位 $=\mu\text{m}$ ) と膜厚方向平均線膨脹係数 $\alpha_{ave}$  ( $-55\sim 150^\circ\text{C}$ 範囲の平均値; 単位 $=\text{ppm}/^\circ\text{C}$ ) との $t \times \alpha_{ave}$ が $200\sim 40,000$ の範囲であることが望ましい。膜厚と線膨脹係数の積は非配線領域の樹脂層が示す熱膨張量の指標であるので、この値が上記範囲を超えて大きくなるときには樹脂層の厚み方向の変形量が大きくなって配線が厚み方向に引きのばされるために配線断線が起きやすくなる。逆に、上記範囲を下回るような材料には応力緩和機能が全く期待できず、本発明の当初の目的が達成できない。

【0034】本発明では、半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層のなかの少なくとも1層が、感光性を有すると共に熱分解性温度(5%重量減少温度)が $250^\circ\text{C}$ 以上であることが望ましい。感光性を有していることにより、所望箇所に開口部を形成することができる。もしも、熱分解温度が $250^\circ\text{C}$ を下回る樹脂層を用いる場合には、該樹脂層の外層を形成する工程が制限される。

【0035】本発明では半導体素子表面のパッシベーション膜上に設けられた複数層からなる樹脂層のうちパッシベーション膜に接している樹脂層が、フォトリソグラフィ工程によって所望箇所に開口部が形成された感光性ポリイミドであり、前記開口部の底部では半導体素子電極部の端部を完全に覆っていて、前記開口部の底部が半導体素子電極部との間で為す角度が $100\sim 150^\circ$ の範囲であることが望ましい。ポリイミドはパッシベーション膜上に形成する樹脂として実績がある。さらに、感光性をも有するポリイミドであることによって、半導体素子電極部に所望の開口部を精度良く、かつ低コストで形成できる。但し、必要な開口部の数が少なく、厳しい位置精度が求められる場合には、本発明でもレーザ加工によって開口部を形成しても構わない。

【0036】また、開口部の底部で電極部の端部を完全に覆っていることにより、配線層との信頼性の高い接続が達成できる。

【0037】さらに前記開口部が順テーパであり、開口部の底部が半導体素子電極部との間で為す角度が $100\sim 150^\circ$ の範囲に入っていることで、スパッタや蒸着、めっきなどの配線形成プロセスで確実な配線接続が確保できる。角度が $100^\circ$ 以下であるとスパッタや蒸着、めっきの工程での配線形成すると配線の接続信頼性

が低くなり易い傾向がある。逆に、 $150^\circ$ より大きいと、樹脂層上部の開口径が大きくなりすぎて本発明の目的である高密度実装対応が困難になる。

【0038】本発明の技術は半導体装置、特にチップサイズパッケージ、およびその製造方法に好適であるがこれに限らず、ボールグリッドアレーなどへ適用しても差し支えない。また、上記の半導体装置は他の配線基板と接続することによって電子機器へ組み込むための部品、あるいは電子装置そのものとして使用することもできる。

【0039】本発明によると、半導体装置に上述のような特徴を有する樹脂層を形成することによって、接続信頼性が高く、電気特性に優れた、高密度実装に適した安価な半導体装置を得ることができ、このような半導体装置を適宜他の配線基板とはんだで接続することによって、高性能な電子機器を提供できる。

【0040】

【発明の実施の形態】以下本発明の実施形態について図面を用いて説明する。

【0041】[実施例1]図1は、本願発明による一実施形態の半導体装置断面の一部であって、半導体素子電極部とそこから引き出した配線、およびパッケージ電極部、およびそれらの周囲の断面構造を示している。以下、本実施形態の構造について図面に従って説明する。

【0042】本実施形態の半導体装置は、パッケージ電極7を通して実装基板と電気的に接続する。パッケージ電極7は、配線6によって半導体素子電極部2と電気的に接続する。配線6の下には第1樹脂層を設けており、配線6の上には第2樹脂層を形成してある。第1樹脂層と半導体素子との間にはパッシベーション膜3が存在する。

【0043】本実施例では、第1樹脂層には感光性ポリイミド(室温での弾性率 $=3.0\text{ GPa}$ 、 $-55\sim 150^\circ\text{C}$ 範囲の平均線膨脹係数 $=40\text{ ppm}/^\circ\text{C}$ 、ガラス転移温度 $>300^\circ\text{C}$ 、破断伸び $=20\%$ 、膜厚 $12\mu\text{m}$ )、第2樹脂層には変成エポキシ樹脂(室温での弾性率 $=2.2\text{ GPa}$ 、 $-55\sim 150^\circ\text{C}$ 範囲の平均線膨脹係数 $=120\text{ ppm}/^\circ\text{C}$ 、ガラス転移点 $=120^\circ\text{C}$ 、破断伸び $=9\%$ 、膜厚 $3\mu\text{m}$ )を用いており、樹脂層全膜厚は約 $15\mu\text{m}$ で、平均すると弾性率は約 $2.8\text{ GPa}$ 、線膨脹係数は約 $60\text{ ppm}/^\circ\text{C}$ である。

【0044】第1樹脂層にはフォトリソ工程によって開口部8を設けてあり、開口部8と半導体素子電極部とが為す角 $\theta$ は $110^\circ$ である。

【0045】本実施例の半導体装置を実装基板に搭載すると、基板と半導体装置との膨張差によって発生した応力を配線、第1樹脂層、第2樹脂層がそれぞれ変形することによって緩和できる。

【0046】

【発明の効果】本発明によれば、接続信頼性が高く、電

気特性に優れた、高密度実装に適した安価な半導体装置を得ることができ、このような半導体装置を適宜他の配線基板とはんだで接続することによって、高性能な電子機器を提供できる。

【図面の簡単な説明】

【図1】本発明による一実施形態の半導体装置断面概略図の一部である。

【符号の説明】

1. 半導体素子

2. 半導体素子電極部

3. パッシベーション膜

4. 第1樹脂層

5. 第2樹脂層

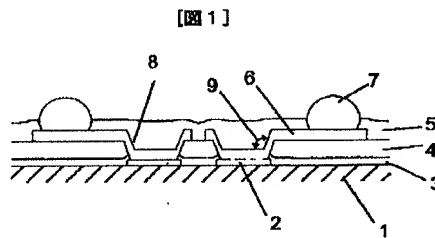
6. 配線

7. パッケージ電極

8. 第1樹脂層に開けた開口部

9. 第1樹脂層に開けた開口部と半導体素子電極部とが為す角

【図1】



フロントページの続き

(72)発明者 伊藤 光子

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

(72)発明者 天明 浩之

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

Fターム(参考) 4M109 AA02 BA03 ED03 EE02 EE03